

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-191574
 (43)Date of publication of application : 13.07.1999

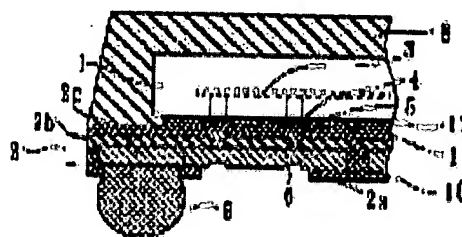
(51)Int. Cl. H01L 21/60
 H01L 23/12

(21)Application number : 09-359478 (71)Applicant : NEC CORP
 (22)Date of filing : 26.12.1997 (72)Inventor : MATSUDA SHUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the defective connection of a chip electrode and a bump.
SOLUTION: This device has a TAB tape 2, on one surface of which a wiring 2a having an intended pattern, and a semiconductor chip 1 which is provided on the other surface has a chip electrode 4. The wiring 2a and the chip 4 are connected electrically via bumps 5 and 6 formed in a through-hole. Then, the semiconductor chip 1 has the two or more chip electrodes 4, which are connected to a wiring layer 3. The wiring 3 is connected to the chip electrodes 4 via the bumps 5 and 6, which are provided to face opposite the two or more chip electrodes 4, respectively.



LEGAL STATUS

[Date of request for examination] 26.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3065010

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191574

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl.⁸

H 0 1 L 21/60
23/12

識別記号

3 1 1

F I

H 0 1 L 21/60
23/12

3 1 1 S
L

審査請求 有 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-359478

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 松田 修一

東京都港区芝五丁目7番1号 日本電気株
式会社内

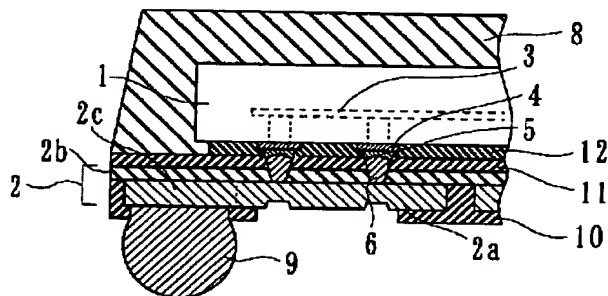
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チップ電極とバンプとの接続不良を防止する。

【解決手段】 一方の面に所望のパタンの配線2aが形成されたTABテープ2と、その他方の面に設置されるとともにチップ電極4を有する半導体チップ1とを備え、配線2aとチップ電極4とが、スルーホール中に形成されたバンプ5、6を介して電氣的に接続されている。そして、半導体チップ1は、配線層3に接続された2個以上のチップ電極4を有し、配線3は、2個以上のチップ電極4のそれぞれに対向して設けられたバンプ5、6を介して、チップ電極4と接続されている。



【特許請求の範囲】

【請求項1】 一方の面に所望のバタンの配線が形成された配線基板と、前記配線基板の他方の面に設置されるとともにチップ電極を有する半導体チップとを備え、前記配線と前記チップ電極とが、前記配線基板のスルーホール中に形成されたバンプを介して電気的に接続された半導体装置において、

前記半導体チップは、この半導体チップ中の同一配線層に接続された2個以上のチップ電極を有し、

前記配線基板の一の配線は、前記2個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、前記チップ電極と接続されていることを特徴とする半導体装置。

【請求項2】 一方の面に所望のバタンの配線が形成された配線基板と、前記配線基板の前記一方の面に設置されるとともにチップ電極を有する半導体チップとを備え、前記配線と前記チップ電極とが、バンプを介して電気的に接続された半導体装置において、
前記半導体チップは、この半導体チップ中の同一配線層に接続された2個以上のチップ電極を有し、
前記配線基板の一の配線は、前記2個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、前記チップ電極と接続されていることを特徴とする半導体装置。

【請求項3】 請求項1または2において、
前記チップ電極は、前記半導体チップの縁から前記半導体チップの内側にかけて配列されていることを特徴とする半導体装置。

【請求項4】 請求項1または2において、
前記チップ電極は、前記半導体チップの縁と平行に配列され、
前記配線は、少なくとも1箇所が折れ曲がっていることを特徴とする半導体装置。

【請求項5】 請求項1または2において、
前記チップ電極は、前記半導体チップの縁と平行に配列され、
前記配線は、その先端の幅が前記配列されたチップ電極の間隔以上であることを特徴とする半導体装置。

【請求項6】 請求項1または2において、
前記チップ電極は、前記半導体チップの接地端子、電源端子または信号端子の少なくとも何れか一つであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、特にチップ電極と配線基板上の配線との接続不良を防止する半導体装置に関するものである。

【0002】

【従来の技術】 従来、チップサイズパッケージ（以下、CSP：Chip Size Packageという）と呼ばれ、パッケ

ージの大きさを、半導体チップの大きさとほとんど同じくらいになるまで小さくしたものがある。

【0003】ところで、このようなCSPには、半導体チップを搭載するためのインターポーザの種類に応じて複数の形態があり、その中の一つにフィルムキャリアを用いたものがある。ところが、インターポーザにフィルムキャリアを用いた場合、フィルムキャリア上の配線と、半導体チップに設けられたチップ電極とを熱圧着によって接続すると、接続後に生じた応力によって接続部が離れて電気的にオープンしてしまうことがあった。

【0004】図7は、従来からある一般的なCSPの構成を示す斜視図である。同図に示すように、半導体チップ1とTABテープ2とは、大きさがそれぞれほぼ等しく、半導体チップ1はフィルムキャリアであるTABテープ2の上に設置されている。この半導体チップ1のA1製のチップ電極（図示せず）は、TABテープ2に開口されたスルーホール中のバンプ（図示せず）を介してバンプ9と電気的に接続されている。そして、半導体チップ1の全体は、エポキシ等からなる封止樹脂8によって封止されている。

【0005】図8は、図7のVIII-VIII'線における断面図を示す。同図において、図7における同一または同等のものには、同一符号を付しており、TABテープ2はベースとなるポリイミドテープ2bと、その上に形成された銅箔からなる配線2aとから構成されており、半導体チップ1を搭載するためのフィルムキャリア（配線基板）として機能する。

【0006】配線2aは、ポリイミドテープ2b上に予め形成された所望の配線ボタンであり、バンプ6はポリイミドテープ2bに開口されたスルーホール中に銅を蒸着することによって形成されている。そして、バンプ6の露出した表面には、NiまたはAu等からなるバンプ5がメッキによってさらに形成されている。一方、チップ電極4は半導体チップ1中の配線層3に電気的に接続されており、半導体チップ1の表面は、このチップ電極4が露出するようにしてチップカバー膜12によって覆われている。

【0007】以上のようにして作られたフィルムキャリアは、半導体パッケージの組立において次のようにして用いられる。まず、バンプ5とチップ電極4とが対向するようにして位置合わせをしてから、バンプ6直上の配線2aをボンディングツールにより、超音波振動や熱を加えながら押圧する。すると、バンプ5は変形して接触面でAu・Al合金が形成され、チップ電極4とバンプ5とは熱圧着される。また、半導体チップ1とチップカバー膜12とは接着材11によって接着され、以上の結果、半導体パッケージができあがる。なお、露出している配線2a等の表面にはソルダーレジスト10が塗布され、腐食等から保護されている。

【0008】

【発明が解決しようとする課題】しかしながら、従来においてはパンプ5とチップ電極4との熱圧着して接続した後に、TABテープ2等の応力によってその接続部が離れてしまい、組立後の検査においてオープン不良が発見されるという問題点があった。本発明は、このような課題を解決するためのものであり、チップ電極とパンプとの接続不良を防止した半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】このような目的を達成するために、請求項1に係る本発明の半導体装置は、一方の面に所望のパタンの配線が形成された配線基板と、上記配線基板の他方の面に設置されるとともにチップ電極を有する半導体チップとを備え、上記配線と上記チップ電極とが、上記配線基板のスルーホール中に形成されたパンプを介して電氣的に接続された半導体装置において、上記半導体チップは、この半導体チップ中の同一配線層に接続された2個以上のチップ電極を有し、上記配線基板の一方の配線は、上記2個以上のチップ電極のそれぞれに対向して設けられたパンプを介して、上記チップ電極と接続されたものである。また、請求項2に係る本発明の半導体装置は、一方の面に所望のパタンの配線が形成された配線基板と、上記配線基板の上記一方の面に設置されるとともにチップ電極を有する半導体チップとを備え、上記配線と上記チップ電極とが、パンプを介して電氣的に接続された半導体装置において、上記半導体チップは、この半導体チップ中の同一配線層に接続された2個以上のチップ電極を有し、上記配線基板の一方の配線は、上記2個以上のチップ電極のそれぞれに対向して設けられたパンプを介して、上記チップ電極と接続されたものである。また、請求項3に係る本発明の半導体装置は、請求項1または2において、上記チップ電極は、上記半導体チップの縁から上記半導体チップの内側にかけて配列されていることを特徴とする半導体装置。また、請求項4に係る本発明の半導体装置は、請求項1または2において、上記チップ電極は、上記半導体チップの縁と平行に配列され、上記配線は、少なくとも1箇所が折れ曲がったものである。また、請求項5に係る本発明の半導体装置は、請求項1または2において、上記チップ電極は、上記半導体チップの縁と平行に配列され、上記配線は、その先端の幅が上記配列されたチップ電極の間隔以上である。また、請求項6に係る本発明の半導体装置は、請求項1または2において、上記チップ電極は、上記半導体チップの接地端子、電源端子または信号端子の少なくとも何れか一つである。このように構成することにより本発明は、同一配線層に対して少なくとも2組のチップ端子およびパンプを備えているため、仮に1箇所の接続が離れてしまってもその他の箇所でも接続されており、オープン不良を生じにくいという効果を有する。

【0010】

【発明の実施の形態】次に、本発明の一つの実施の形態について図を用いて説明する。図1は、本発明の一つの実施の形態を示す平面図である。同図において、図8における同一または同等の部品には同一符号を付しており、半導体チップ1の同一配線層3には2個のチップ電極4（例えば、A1で作られている）が接続されている。一方、これらのチップ電極4は、何れともTABテープ2上の同一配線2aに接続され、また配線2aの末端にはパンプを取り付けるためのパッド2cが形成されている。なお、配線2aは銅で形成された所望パタンの配線である。

【0011】ここで、図1に係る半導体装置の製造工程について説明する。図2は、図1のII-II'線における断面図であり、図1に係る半導体装置の製造工程を示す。同図において、図1における同一または同等の部品には同一符号を付しており、図2(a)、(b)はそれぞれ製造工程の各段階を示している。

【0012】まず、図2(a)において、フィルムキャリアであるTABテープ2は、ベースとなるポリイミドテープ2bと、その上に形成された銅箔からなる配線2aとから構成されている。そして、パンプ5とチップ電極4とを位置合わせしてからパンプ6直上の配線2aを2個のボンディングツール7によって超音波振動や熱を加えながら押圧して、半導体チップ1をTABテープ2上に搭載する。

【0013】すると、図2(b)に示すように、加わった圧力によってパンプ5が変形し、接触面ではAu・Al合金が形成され、2組のパンプ5とチップ電極4とは互いに熱圧着される。なお、より強い接合強度を望むのであれば、3箇所以上にパンプ5、6およびそれらに対応するチップ電極4を設けてもよいことは明らかである。

【0014】図3は、図1に係る構造を用いた半導体パッケージを示す断面図である。同図において、図1における同一または同等の部品には同一符号を付しており、配線2aはパンプ5、6を介して、2箇所でもチップ電極4と接続されている。そして、配線2aの末端にはパッド2cが形成され、このパッド2cには実装基板と接続するためのパンプ9が設けられている。

【0015】次に、本発明のその他の実施の形態について説明する。図4、5は、本発明のその他の実施の形態を示す平面図である。同図において、図3における同一または同等の部品には同一符号を付しており、これらの実施の形態においては、同一配線層3に接続された2個のチップ電極4が半導体チップ1の縁に対して平行に配列されている点に特徴がある。

【0016】このような場合、図1に記載したような直線状の配線2aの代わりに、先端の一部を折り曲げた（ここでは90°）配線2a（図4）を用いたり、先端

の幅をチップ電極 4 の間隔よりも広くした配線 2 a (図 5) を用いたりして、2 個のチップ電極 4 に配線 2 a を接合する。もちろん、配線 2 a とチップ電極 4 とは、バンプを介して接続される。

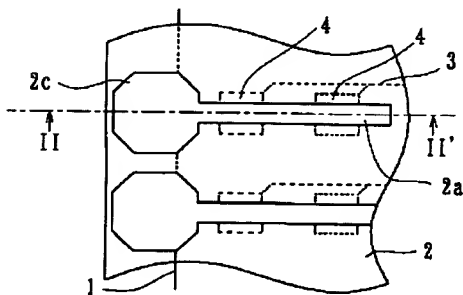
【0017】なお、本発明は半導体チップ 1 に設けられているあらゆる端子、すなわち電源端子 (VCC)、接地端子 (GND)、信号端子に適用できることは明らかである。特に、接地端子に関して述べると以下のような効果が得られることがわかる。

【0018】すなわち、通常、電源端子および接地端子は複数設けられており、1箇所程度オープン不良を起しても実際の機能として支障をきたすことはない。しかし、ユーザによる製品の受け入れ検査においては、1箇所でもオープン不良が生じると、技術力等に対する信用問題が生じることがある。そこで、上記に記載したような本発明を少なくとも電源端子や接地端子のみに適用していただければ、このような事態を回避することができる。もちろん、チップ電極の占有面積が大きくなってしまおうという若干のデメリットはあるが、電源端子や接地端子にのみに用いるのであればそれほど問題とはならないし、また確実な接続が得られるので占有面積を多少犠牲にしても適用する価値はある。

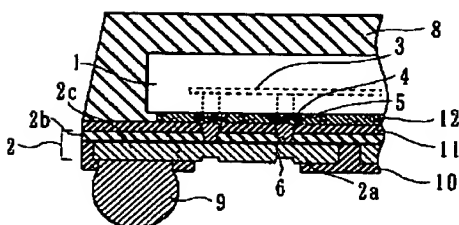
【0019】また、上記実施の形態においては、半導体チップ 1 の裏面に搭載した例について述べたが、配線 2 a とバンプ 5 とを向かい合わせるようにしたものにおいても、本発明を適用できることは明らかであり、例えば図 6 に示されるような構成となる。

【0020】

【図 1】



【図 3】



【発明の効果】以上説明したように本発明は、配線基板上の配線と、半導体チップの同一配線層に接続された 2 個以上のチップ電極とを接続するようにしたので、仮に 1 箇所の接続が離れてしまってもその他の箇所で接続されているため、オープン不良を生じにくいという効果を有する。

【図面の簡単な説明】

【図 1】 本発明の一つの実施の形態を示す平面図である。

10 【図 2】 図 1 に係る半導体装置の製造工程を示す断面図である。

【図 3】 図 1 の構成を採用したパッケージを示す部分断面図である。

【図 4】 本発明のその他の実施の形態を示す平面図である。

【図 5】 本発明のその他の実施の形態を示す平面図である。

【図 6】 本発明のその他の実施の形態を示す部分断面図である。

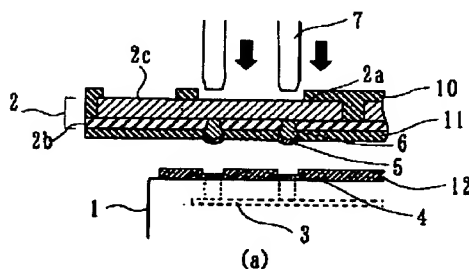
20 【図 7】 一般的な CSP の構成を示す斜視図である。

【図 8】 図 7 の VIII-VIII' 線における部分断面図。

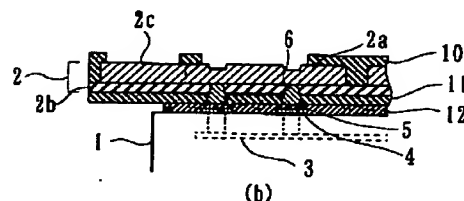
【符号の説明】

1…半導体チップ、2…TABテープ、2a…配線、2bポリイミドテープ、2c…パッド、3…配線層、4…チップ電極、5、6、9…バンプ、7…ボンディングツール、8…封止樹脂、10…ソルダーレジスト、11…接着材、12…チップカバー膜。

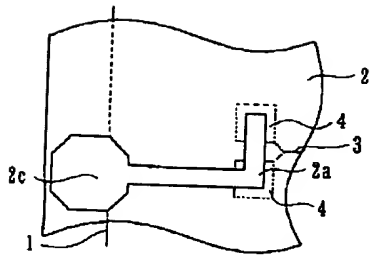
【図 2】



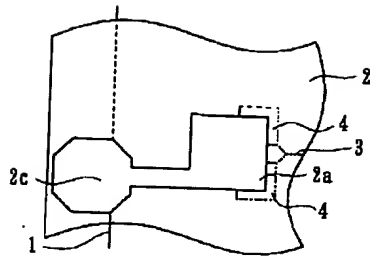
(b)



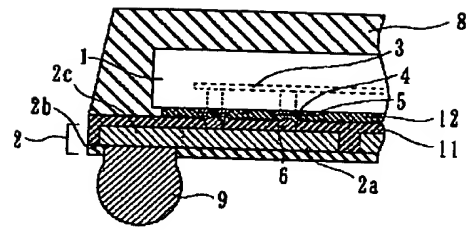
【図 4】



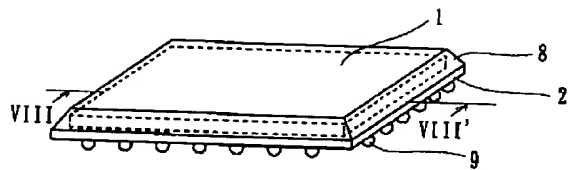
【図 5】



【図 6】



【図 7】



【図 8】

